SK hynix

DRAM개발

① HBM Digital Design(RTL Design)
② HBM Digital Design(SoC Design)
③ HBM Digital Design(검증)
④ HBM Digital Design(Front-end)
⑤ HBM Digital Design(Back-end)
⑥ HBM Digital Design(Strategy)
⑦ 회로설계(HBM)



Beyond Boundaries
Toward Innovation

HBM Digital Design(RTL Design)

#이천 #Expert



우리 조직을 소개합니다

SK hynix의 HBM Base Die 디지털 설계를 담당하는 핵심 조직입니다. 초고속 인터페이스, 저전력·고 신뢰성 로직 설계를 통해 HBM의 성능과 기술 경쟁력을 높이고 차세대 메모리 기술을 실현합니다.

선발하고자 하는 직무는 이런 일을 합니다

고객과 소통하며 요구 사항을 상세 사양으로 구체화하고, PPA 평가를 통해 Architecture와 IP 동작을 정의합니다. RTL 설계·검증, Logical Integration, Physical Design Guide 작성을 수행하며, 유관 부서와 Floorplan, 물리 구현, Wafer Test Flow 정의 및 Silicon 검증·이슈 분석을 진행합니다.

이런 분과 함께 하고 싶어요

- 반도체·전자·전기·물리 등 관련 계열 전문 지식 보유, 관련 경력 5년 이상인 분
- Verilog/System Verilog 기반 RTL 설계·검증 경험이 있는 분
- 요구 사항을 분석해 IP 구조·동작을 정의하고 설계·디버깅을 주도할 수 있는 분
- 클록·리셋·타이밍 제약을 이해하고 설계에 반영할 수 있는 분
- Lint·CDC/RDC·STA·EQ 결과를 분석하고 설계 이슈를 해결할 수 있는 분
- 설계 의도와 검증 결과를 문서화하고 고객·유관 부서와 소통할 수 있는 분

이런 경험이 있다면 더 환영합니다

- DRAM controller 또는 DRAM DFT/DFD 설계·분석 경험이 있는 분
- Interface/Memory PHY 및 Analog IP를 포함한 Digital 설계 리딩
- PHY/TSV Bit Macro 및 TSV PHY Hard Marco 설계, 3D PHY 설계 경험
- Analog IP 통합, Full-Custom 연계 설계 또는 Full-chip 통합 경험이 있는 분
- LLM·AI 기반 설계·검증 자동화 및 정확성·생산성 평가 경험이 있는 분
- PPA 기반 Architecture 최적화, 고객 사양 협의 및 기술 리딩 경험이 있는 분
- Wafer Test Flow 정의, Silicon 검증 및 불량 분석 경험이 있는 분

HBM Digital Design(SoC Design)

#이천 #Expert



우리 조직을 소개합니다

SK하이닉스의 Custom HBM Base-Die Architecture를 연구하고 이를 바탕으로 Full-Chip Design을 수행합니다. CHBM에 탑재되는 주요 IP로는 Host, Chiplet Interface IP 와 DRAM Controller/PHY IP 및 다양한 Logic, Analog IP가 있습니다.

선발하고자 하는 직무는 이런 일을 합니다

- Hardware Description Language(Verilog, VHDL) 기반 Digital Logic IP/SOC 개발
- In-house & 3rd Party IP, Subsystem 바탕의 Full-chip Design
- Physical Design 고려한 Subsystem 및 Full-Chip Design(Package – bump, probe-pad 등, Synthesis)
- Chiplet Interface PHY/Link/Protocol IP Integration 및 검증(UCIe, OpenHBI, BoW 등)
- Off-chip Interface PHY/Link/Transaction IP Integration 및 검증 (PCIe, CXL, USB, MIPI 등)
- In-Chip 및 Chiplet간 DFT Architecture/Design 및 RTL Level DFT Logic Insertion 및 Flow 수립 (IEEE1687 ICL/PDL, IEEE1838 기반 DFT Architecture 등)
- 3DIC SoC Design Flow 수립 및 관련 IP/Logic 설계
- DRAM Controller/PHY IP Integration 및 검증 (LPDDR, DDR, GDDR, HBM)
- RAS 요구사항 분석 및 정책, Hardware IP 혹은 Firmware 개발 및 검증
- Fullchip, Subsystem, IP 구동 및 검증을 위한 Test Firmware (ARM, RISC-V 등) 개발
- Subsystem 및 FullChip Architecture (Power/Debug/Security/DFT)

HBM Digital Design(SoC Design)

#이천 #Expert



이런 분과 함께 하고 싶어요

- 반도체/전자/전기/물리/기계 등 공학 계열 전문 지식을 보유한 분
- 아래 중 하나 이상의 역량이 있으며 경력 5년 이상 이신 분

1) IP/Subsystem/Fullchip의 Performance, Power & Area Estimation, Synthesis
2) Off-chip / Chiplet Interface PHY/Link Layer 설계 혹은 IP Integration 및 검증/평가
3) Media Controller (NAND, DRAM) 설계 혹은 IP Integration 및 검증/평가
4) IEEE1687, IEEE1838, IEEE1500 기반 On-Chip, Inter-Chiplet DFT Architecture 및 설계/Insertion Flow 수립 경험
5) 3DIC SOC의 Logic 및 Physical Design 경험
6) SoC 해킹 방지하기 위한 Security Scenario(Secure Boot, Trust Zone, Attack Detect) 구현
7) Memory 및 System Level RAS 정책 수립 및 설계/검증/평가
8) System-level Clock/Reset & Power Control Logic 설계 및 평가
9) SoC내 P/V/T Sensor 기반 Monitoring System 설계 및 운용 경험
10) Fullchip 요구 사항 및 IP/Subsystem 사양을 기반으로 On-Chip Interconnector (AMBA Bus, NoC 등) 설계
11) Subsystem 및 FullChip Architecture 설계

HBM Digital Design(검증)

#이천 #Junior & Expert



우리 조직을 소개합니다

SK hynix HBM의 초격차 경쟁력 확보를 위해 Analog-Digital Mixed IP, Digital IP 및 Subsystem/Top Level 검증 업무를 맡고 있는 조직입니다. HBM 제품 개발 과정에서 설계 무결성 확보를 목표로 설계 검증 전반을 담당하며 이를 위한 검증 시스템 및 환경 구축, 검증 모델 개발 등의 업무를 수행합니다.

선발하고자 하는 직무는 이런 일을 합니다

HBM Digital Design 검증 업무

1) HBM 내 In-house, 3rd Party Digital IP 및 Mixed 설계 검증을 하고,
2) 검증을 위한 In-house VIP 개발 및 3rd Parity VIP 도입 및 활용과 함께,
3) UVM 기반의 검증 환경 구성 및 Test Case 개발을 하고 있습니다.
4) 그리고 Regression Test 통한 Code/Func. Coverage Closure 합니다.

이런 분과 함께 하고 싶어요

반도체/ 전자/ 전기/ 컴퓨터 등 공학 계열 전문 지식 보유자이며,
반도체 유관 경력 4년 이상 보유자 (석박사 학위 수학 기간도 경력으로 인정)
그리고, 다음과 같은 역량을 가지고 계셔야 합니다.

1) SystemVerilog/UVM VIP, Testbench 및 Test Case 개발 역량
2) Digital IP Spec 기반으로 검증 계획 수립 및 검증 프로세스 이해 역량
3) 신규 Protocol 또는 Custom IP에 대한 UVM Agent 설계/구현 역량
4) Code/Functional Coverage Closure

이런 경험이 있다면 더 환영합니다

1) Spec 기반 Custom UVM Agent A-to-Z 개발 경험
2) HBM, DDR/LPDDR Memory 검증
3) Full-Chip Mixed-Level Design (Schematic & RTL) 검증

HBM Digital Design(Front-end)

#이천 #Expert



우리 조직을 소개합니다

SK hynix의 HBM Digital Implementation을 담당하는 조직입니다. 최신 공정 EDA툴을 활용해서 Digital Front-end, Back-end 전반을 담당하며, 효율적인 개발 프로세스를 구축해 차세대 HBM 경쟁력을 확보하는 역할을 하고 있습니다.

선발하고자 하는 직무는 이런 일을 합니다

【 Digital Implementation (Front-end) 】

Digital block에 대한 DFT Architecture 구현 및 합성, STA 등의 Implementation flow 전반에 걸친 업무를 진행하고 있습니다. HDPF 구조를 기반으로 PCIe, UCIe 등 Interface IP 개발 및 다양한 형태의 Digital Design에 대한 Implementation을 진행하고 있으며 첨단 공정과 최신 EDA Tool을 기반으로 PPAT(Performance, Power, Area, TAT) 측면에서 최적화된 경쟁력 있는 고객 맞춤형 HBM을 개발하고 있습니다.

이런 분과 함께 하고 싶어요

- 반도체/전자/전기 등 공학 계열 전문 지식 보유자
- 아래 역량 중 하나 이상의 역량이 있으며 경력 3년 이상 이신 분
  1) 5nm 이하 공정의 PPAT 개선을 통한 Implementation 경험
  2) HPDF Design Top 및 Block Implementation flow 경험
  3) 합성, STA, DFT 등의 구현에 필요한 EDA Tool 경험
  4) DFT 구현 및 검증 (MBIST, Tessent SSH/SSN, TestMAX 등)
  5) AI 및 Tcl/ Python Script를 통한 디자인 분석 및 환경 개선 경험

이런 경험이 있다면 더 환영합니다

- TSMC 3nm 과제 Implementation 경험
- HPDF Top Project Management
- Tessent SSH/SSN 기반 DFT 구현 및 검증
- HBM IP (HBM PHY, TSV PHY, 3D PHY) 과제 경험
- 해외 고객 Interface 및 협업 경험

HBM Digital Design(Back-end)

#이천 #Expert



우리 조직을 소개합니다

SK hynix의 HBM Digital Implementation을 담당하는 조직입니다. 최신 공정 EDA툴을 활용해서 Digital Front-end, Back-end 전반을 담당하며, 효율적인 개발 프로세스를 구축해 차세대 HBM 경쟁력을 확보하는 역할을 하고 있습니다.

선발하고자 하는 직무는 이런 일을 합니다

【 Digital Implementation (Back-end) 】

HBM Logic-die 내 Digital 블록의 Digital Auto Place & Route(P&R) 업무를 담당하고 있습니다. Std. HBM/Custom HBM 등 다양한 HBM 제품을 모두 개발하고 있으며, 다양한 형태의 HBM Digital Implementation을 진행하고 있습니다. 고객의 요구에 맞춰 PCIe, UCIe, CXL 등 Interface IP의 Implementation도 수행하고 있으며, DTCO 분야도 담당하면서 공정 개선 및 최적화 활동 뿐만 아니라 최신 공정 선행 연구를 하면서 PPAT 측면에서 경쟁력 있는 고객맞춤형 HBM을 개발하고 있습니다.

이런 분과 함께 하고 싶어요

- 반도체/전자/전기 등 공학 계열 전문 지식 보유자
- 아래 역량 중 하나 이상의 역량이 있으며 경력 3년 이상 이신 분
  1) HPDF(Tiled) Top Design 경험 또는 프로젝트 운영 경험
  2) Top Bus/ Async Bridge Implementation 개발 경험
  3) 2GHz 이상의 High Speed Digital Design 개발 경험
  4) LLM/Agent 기반 EDA Flow 자동화/운영 경험
  5) Design Technology Co-Optimization 경험
  6) Tcl/ Python Script를 통한 디자인 분석 및 환경 개선 경험
  7) AI 및 EDA Tool을 이용한 FE/BE/PDN/DFT 관련 최신 기술 적용 및 환경 운용 경험

이런 경험이 있다면 더 환영합니다

- HBM IP (HBM PHY, TSV PHY, 3D PHY) 과제 경험
- 3nm 이하 Nanosheet Technology 개발 경험
- CPU/GPU/NPU Implementation 개발 경험
- 해외 고객 Interface 및 협업 경험

HBM Digital Design(Strategy)

#이천 #Expert



우리 조직을 소개합니다

SK hynix의 Custom HBM 제품 개발을 위해 고객과 기술 논의를 진행하여 설계 방향성을 제공하는 역할을 수행하고 있습니다. 우리는 Custom HBM 제품에 필요한 설계 Spec. 결정 및 설계 과정에서 필요한 정보를 적기에 제공하기 위한 사전 관리 역할을 위해 고객과 긴밀한 논의를 진행하는 업무를 진행합니다.

선발하고자 하는 직무는 이런 일을 합니다

이 역할은 HBM Base Die의 아키텍처를 정의하고, 글로벌 고객사의 요구사항을 설계 스펙으로 구체화하여 제품 개발 전 과정을 기술적으로 리딩하는 핵심 직무입니다. 해당 직무를 수행하기 위해서 하기의 업무를 진행합니다.

1) Custom HBM 아키텍처 수립 및 설계 Spec. 항목 정의

2) Custom HBM 고객사 기술 논의 진행

3) 설계 전 과정의 마일스톤 관리, 기술적 의사결정 및 내부 조율

이런 분과 함께 하고 싶어요

- 반도체/전자/전기/물리 등 공학 계열 전문 지식을 보유한 분
- 아래 역량 중 하나 이상을 보유하고 있으며, 경력 5년 이상 이신 분

1) HBM Spec. 및 전반적인 HBM 개발 과정의 이해

2) HBM 설계 과정에서 Base die 혹은 core die 설계 경험

3) Full-custom design 및 Semi-custom design에 대한 경험

이런 경험이 있다면 더 환영합니다

1) HBM 의 Base Die 아키텍처 설계 경험과 더불어 PDN(Power Delivery Network) 분석 및 SI/PI (Signal/Power Integrity) 관련 경험
2) 설계 진행과정에서 주요 마일스톤을 이해하고, 목표 기한 내에 설계 품질을 확보할 수 있는 일정 및 리소스 관리 경험
3) 글로벌 비즈니스 영어: 미국 기술진과 전문적인 주제로 토론하고, 자사의 입장을 명확하게 전달할 수 있는 수준의 영어 커뮤니케이션(Verbal & Writing) 경험

회로설계(HBM)

#이천 #Junior & Expert



우리 조직을 소개합니다

우리 조직은 SK Hynix의 HBM 경쟁력 강화를 선도하는 핵심 조직으로, HBM 제품을 설계/분석하고 적기에 개발하여 고객 가치를 극대화하는 역할을 맡고 있습니다.
세계 최고의 AI 고객사들과 협력하며 HBM 기술을 선도하고 있으며, 혁신적인 회로 설계 기술과 체계적인 분석 역량을 기반으로 글로벌 1위 경쟁력을 만들어가고 있습니다.

선발하고자 하는 직무는 이런 일을 합니다

- DRAM 또는 HBM 제품의 내/외부 요구 사양에 부합하는 회로 설계
- DRAM 또는 HBM 제품 개발 단계에서 양산을 위한 설계 품질 및 수율 개선 활동 진행
- Wafer, KGSD(Known good stack die) 및 실장 단계의 특성 분석과 제품 Spec. 만족 여부 검토
- 제품 개발 단계 및 고객 System에서 고객이 만족할 수 있도록 성능을 높이고, 안정적으로 동작하도록 구현

이런 분과 함께 하고 싶어요

- 반도체/전자/전기/물리/컴퓨터 등 공학 계열 전문 지식을 보유한 분
- 아래 역량을 보유 하고 있으며, 경력 4년 이상 보유자(석/박사 학위 수학 기간 인정)

1) DRAM 또는 HBM Architecture 검토 및 설계 경험
2) Full Custom + Digital Co-Design 설계 및 PDN 해석 경험
3) Full Custom based Logic Foundry 설계 경험
4) DRAM 또는 HBM 제품 불량 분석을 위한 다양한 Tool 및 장비 이해 경험

이런 경험이 있다면 더 환영합니다

- DRAM 또는 HBM 설계 관련 제품 개발 및 분석 경험이 많은 분
- HBM 제품 실장 system 분석 경험을 갖고 있는 분
- Python, Spotfire, Verilog 및 Circuit Simulator(Hspice, Csim, PrimeSim, Spectre, etc.) 를 능숙하게 활용할 수 있는 분

Solution개발

① SoC Design
② High-Speed Interface
③ Digital IP Design(RTL)
④ SoC Design Verification
⑤ SoC Silicon Validation
⑥ Logical Implementation
⑦ AI Research



Beyond Boundaries
Toward Innovation

SoC Design

#분당 #Junior & Expert



우리 조직을 소개합니다

우리는 NAND Solution 제품에 탑재되는 Controller 설계를 담당합니다. IP 설계부터 SoC 내 통합까지 전 과정을 수행하며, Firmware팀과 긴밀한 협업을 통해 HW-SW 연동을 최적화 합니다. 또한 PPA(Power, Performance, Area)를 고려한 RTL 설계와 Architecture 연구를 통해 고효율, 저전력, 고성능의 Controller를 구현 합니다.

선발하고자 하는 직무는 이런 일을 합니다

다양한 IP 및 Subsystem을 통합하여 SoC 전체 Architecture를 구성하고, Interface 정의 및 High-Level RTL 설계를 수행하는 합니다. 또한 FW, Verification, PD, DFT 등 여러 분야와 긴밀히 협업하여 PPA 최적화 된 SoC Controller를 성공적으로 Tape-out 하는 것을 목표로 합니다.

이런 분과 함께 하고 싶어요

전기전자공학, 반도체공학 또는 관련 분야의 전문 지식 보유자로 경력 3년 이상인 분
Verilog/System Verilog 기반 RTL 설계, 검증 경험이 있는 분
설계 사양 분석하여 Micro-architecture와 Interface를 정의하고 구현할 수 있는 분

이런 경험이 있다면 더 환영합니다

- SSD 및 NAND Flash controller 또는 Storage관련 SoC설계 경험
- PCIe/NVMe기반 Host interface관련 설계 경험
- NAND 또는 DRAM interface 관련 설계 경험
- Logic 공정 기반 SoC 설계 및 Tape-out 경험
- Clock / Reset / Power domain 최적화 통한 저전력 설계 경험
- Synthesis 및 Timing 관련 이해
- AI 도구 활용 통한 설계/검증 생산성 향상 및 Workflow적용 경험 문제
- Global R&D 조직과의 협업 위한 외국어 역량 보유자
- 문제 해결 능력과 팀워크를 중시하는 자세

High-Speed Interface

#분당 #Junior & Expert



우리 조직을 소개합니다

차세대 모바일 스토리지를 위한 고속 인터페이스 설계 합니다. 우리 조직은 MPHY PHY를 개발하는 Mixed-Signal 설계 전문 조직입니다. 현재 MPHY6.0 양산 개발과 MPHY7.0 선행 개발을 진행하고 있습니다. System, Digital, Analog Engineer가 함께 Architecture 정의 부터 회로 설계, 실리콘 검증까지 수행하며, 최신 FinFET 공정 기반의 고속, 저전력 SERDES 기술을 구현합니다.

선발하고자 하는 직무는 이런 일을 합니다

- MPHY 7.0 규격을 만족하는 고속 SERDES 회로 Architecture 설계
- Data 전송 속도 향상에 대응하는 SERDES Channel Architecture 정의하고 Link Budget EQ 전략 수립
- DSP 기반 CDR 구조 설계 및 Jitter BER 성능 최적화
- FinFET 공정 특성을 고려한 Full Custom 회로 설계 및 Layout 방향성 제시
- 전력 관리 Domain(AON/PSW)를 포함한 System 동작을 검증하고 Mixed-Signal Simulation을 통해 규격 준수 여부 확인

이런 분과 함께 하고 싶어요

- SERDES 회로 설계 및 FinFET 공정 회로 설계 실무 경험이 있는 분
- Architecture, DSP 기반 CDR, FinFET 회로 설계 중 관련 분야 전문성을 갖춘 분
- Analog 회로와 SERDES 동작에 대한 이해를 바탕으로 협업 할 수 있는 분
- 관련 분야 석사 박사 학위 소지자 또는 동등한 실무 경력 보유 하신 분

이런 경험이 있다면 더 환영합니다

- MIPI MPHY, PCIe, USB 등 표준 고속 인터페이스 규격 기반 개발 경험
- Equalization(CTLE, DFE, FFE) 및 채널 보상 회로 설계 경험
- Jitter, 신호 Signal Integrity 분석 및 측정-Debugging 경험
- 양산 칩 개발 및 실리콘 평가 경험
- Multi Power Domain 및 ULP(저전력) 설계 경험

Digital IP Design(RTL)

#분당 #Expert



우리 조직을 소개합니다

SK하이닉스의 선행 연구 조직으로 , Chiplet , Mobile, SSD 등 다양한 제품에서 요구하는 High Speed Interface IP 의 연구 개발을 선도하고 있습니다. 주요 개발 IP 로는 Chiplet D2D IP, UFS MIPI IP, TSV PHY, NAND PHY 등이 있으며, 다양한 IP 를 Test 위한 Platform 개발도 진행하고 있습니다. 혁신적인 기술 개발을 목표로 하는 우리 조직에 많은 관심과 지원 부탁 드립니다.

선발하고자 하는 직무는 이런 일을 합니다

HBF TSV PHY 회로 설계와 검증 및 Implementation 업무를 맡게 됩니다.

Digital TSV PHY RTL 설계가 주된 업무로 PPA를 고려한 Low Power 설계 업무와 RTL부터 GDS까지의 SoC 개발 Flow에 대한 이해를 바탕으로 Simulation/FPGA 검증 부서 및 Implementation 부서 들과 협업, Silicon Chip Validation Issue 분석 등 다양한 업무를 포함합니다.

이런 분과 함께 하고 싶어요

반도체/전자/전기/컴퓨터/물리/기계 등 공학 계열 전문 지식 보유자
아래 2가지 중에 하나 이상의 역량이 있으신 분

1) High Speed Interface Serdes Digital 회로 설계 역량
2) Chiplet IP (e.g., UCIe) 설계 및 검증 역량
3) NAND/DRAM 등의 Memory Interface PHY 설계 및 검증 역량

이런 경험이 있다면 더 환영합니다

1) Memory PHY 및 Digital IP 를 포함한 IP 설계 경험
2) Chiplet Interface 개발/검증 혹은 3rd Party IP 도입하여 개발 경험
3) ARM Core, AMBA Bus 등의 SoC Platform 개발 및 리딩 경험
4) Digital 회로 설계 및 Front End Implementation 업무 경험
5) AI 활용 역량 및 영어 역량 보유자 우대

SoC Design Verification

#분당 #Junior & Expert



우리 조직을 소개합니다

우리는 AI, 자율주행, 하이퍼커넥티비티 등 미래 산업을 선도하는 차세대 SoC를 개발하는 핵심 R&D 조직입니다. 세계 최고 수준의 검증 방법론과 자동화 환경을 바탕으로 성능과 전력 효율이 극대화된 반도체 솔루션을 창출하며, 기술의 한계를 함께 돌파할 열정적인 인재를 기다립니다.

선발하고자 하는 직무는 이런 일을 합니다

SoC 의 기능적 정확성과 신뢰성을 보장하는 핵심 역할을 수행합니다.

- 검증 환경 구축: SystemVerilog 와 UVM 을 기반으로 재사용 가능한 검증 환경 (Testbench)을 설계 및 구현합니다.
- 테스트 전략 수립: Spec. 분석하여 검증 계획을 세우고, 커버리지 달성을 위한 테스트 시나리오를 개발합니다.
- 시뮬레이션 및 디버깅: 시뮬레이션 통해 버그를 선제적으로 발견하고 설계 팀과 협력하여 문제를 해결합니다.
- 검증 수렴 (Sign-off): 기능 및 코드 커버리지를 분석하여 검증 완료 기준을 충족시키고 최종 승인을 진행합니다.
- 프로세스 고도화: 검증 자동화 스크립트 개발과 새로운 방법론 도입으로 전체 개발 생산성을 향상시킵니다.

이런 분과 함께 하고 싶어요

- 전기전자공학, 반도체 공학 또는 관련 분야의 전문 지식 보유자
- SoC 검증 분야 3년 이상 실무 경력 보유자
- 문제 해결 능력과 팀워크를 중시하는 자세를 보유한 자

이런 경험이 있다면 더 환영합니다

AI 활용 역량 및 영어 역량 보유자 우대

SoC Silicon Validation

#분당 #Expert



우리 조직을 소개합니다

우리는 DRAM/NAND Solution 제품에 탑재되는 Controller의 기능 검증을 담당하며, 각 IP가 설계 의도와 사양에 맞게 동작하는지 확인합니다. 이를 위해 FPGA, Emulator 및 ASIC 환경에서 실행 가능한 검증 FW와 Test Case를 개발하고 평가합니다.

선발하고자 하는 직무는 이런 일을 합니다

Host Interface(UCIe), Media Interface(DRAM), 그 외 Base Die를 구성하는 IP에 대한 Unit Level 검증과 여러 IP 간 인터페이스 및 동작 검증을 위한 Sub-System, E2E(End to End) Level의 검증 업무를 수행합니다.

이런 분과 함께 하고 싶어요

- 반도체/전기 전자/컴퓨터 공학 계열 전문 지식을 보유하신 분
- 아래 중에 하나 이상의 역량이 있으신 분
  1) Host Protocol(PCIe, UCIe) 이해 및 검증 역량
  2) Media(DRAM, NAND) 이해 및 검증 역량
  3) C/C++/Python과 같은 Programming, Script Language 이해 및 활용 역량
  4) ARM Processor, ASM, C Compiler, Linker & Loader 이해
  5) Solution FW 개발 역량, Debugging Tool(T32) 사용 역량
  6) PCB 회로 사용 경험자(PCB schematic 분석 역량)

이런 경험이 있다면 더 환영합니다

1) PCIe/NAND interface에 대한 Design 및 검증 경험
2) ARM Processor 기반 Embedded FW 개발 및 T32 Debugging 경험

Logical Implementation

#분당 #Expert



우리 조직을 소개합니다

우리 조직은 SSD와 UFS Chip, HBF 등 다양한 SoC를 대상으로 ASIC Flow 기반의 Full-chip 설계부터 Implementation, Sign-off까지 전반적인 업무를 수행하고 있습니다.PCIe 및 DDR PHY/Controller, NAND PHY를 비롯한 다양한 Analog·Digital IP를 SoC에 통합하고, Physical Digital Design과 DFT, IR 분석, Bump 설계 및 검증을 담당하고 있습니다.이 과정에서 RTL 설계, Analog·Digital IP 개발, 테스트 등 여러 유관 부서와 긴밀히 협업하며 SoC의 설계 완성도와 품질을 높여 나가고 있습니다.

선발하고자 하는 직무는 이런 일을 합니다

ASIC flow을 기반으로 Top Implementation 또는 block에 대한 timing sign-off 및 Physical Design, PV, tape-out 등 전반적인 SoC Implementation 업무를 수행합니다. 이에는 Synthesis, Static Timing Analysis, Logic Equivalence check (LEC), Floorplan 및 P&R, DFT(BIST/SCAN), IR 개선, Bump 업무가 포함됩니다. 필요에 따라 3'rd party IP의 하드닝 및 자체 개발 IP 하드 매크로 설계를 진행합니다. 이러한 업무를 수행하기 위해 FE/BE/DFT/Power 등 업무 및 Design 부서, IP 부서 등 유관 부서와의 원활한 소통이 요구됩니다.

이런 분과 함께 하고 싶어요

반도체/전자/전기 등 공학 계열 전문 지식 보유자로서 4년 이상의 Implementation 업무 경험자

1) TSMC 12nm ~ 3nm 이하 process 사용 및 HPDF Top 또는 Block Level 경험
2) Scripting (shell, Tcl, Python, perl, etc.) 능력 보유

이런 경험이 있다면 더 환영합니다

1) SoC Chip Top (HPDF 또는 Flatten Design) 및 Block implementation 수행
2) Floorplan 및 P&R 및 검증, 개선 경험과 IR 분석 및 개선 경험
3) HSI (High Speed Interface) IP Hardening 경험 (DDR PHY, PCIe PHY, NAND PHY, M-PHY 등)
4) DFT (BIST/SCAN)에 대한 이해 및 implementation flow 경험

AI Research

#분당 #Expert



우리 조직을 소개합니다

우리는 AI·LLM 워크로드를 분석해 차세대 메모리의 성능 요구와 활용 가치를 구체화하는 조직입니다. 학습·Fine-tuning·추론 원리를 바탕으로 모델과 최적화 기술을 구현·평가하고, 시스템 실험으로 메모리 병목과 시스템 한계를 분석하며 메모리 특성의 영향을 검증합니다.

선발하고자 하는 직무는 이런 일을 합니다

AI·LLM 도메인 지식을 바탕으로 대표 워크로드의 메모리 요구사항을 분석하고, 차세대 메모리의 활용 가치를 정량적으로 검증하는 연구를 수행합니다.

- **AI 워크로드 정의 및 분석:** LLM 학습·Fine-tuning·추론, 긴 Context 처리, 멀티 모델·멀티 에이전트 등 대표 시나리오를 선정하고, 메모리 수요와 데이터 이동 특성을 분석합니다.
- **AI 최적화와 메모리 요구의 연계 분석:** PEFT·양자화 등 최적화 전후의 메모리 사용량·데이터 이동·성능을 비교하고, 모델 품질과 서비스 요구를 고려해 잔여 병목과 메모리 요구사항을 도출합니다.
- **차세대 메모리 효과 검증:** 실제 시스템 실험, 워크로드 Trace, 시뮬레이션 등을 활용하여 메모리 용량·대역폭·지연시간 변화가 추론 처리량, TTFT, TPOT 및 서비스 목표 충족률에 미치는 영향을 평가합니다.

이런 분과 함께 하고 싶어요

- 컴퓨터공학, 인공지능, 전자전기공학 또는 관련 분야의 전문 지식과 연구·개발 역량을 보유하신 분
- LLM의 학습·Fine-tuning·추론 구조를 이해하고, 모델 동작을 연산량·메모리 사용량·데이터 이동 관점에서 분석할 수 있으신 분
- 메모리 효율화 학습, PEFT 또는 LLM 추론 최적화 또는 AI 시스템 성능 분석 중 하나 이상의 연구·개발 경험이 다수 있으신 분

이런 경험이 있다면 더 환영합니다

- 메모리 효율적 학습, PEFT, LLM 추론 최적화 또는 AI 시스템 성능 분석 중 하나 이상의 연구·개발 경험이 있으신 분
- Prefix Caching, KV Cache 관리·재사용·Offloading, 공통 Prefix를 사용하는 다중 에이전트 간 추론 최적화 경험